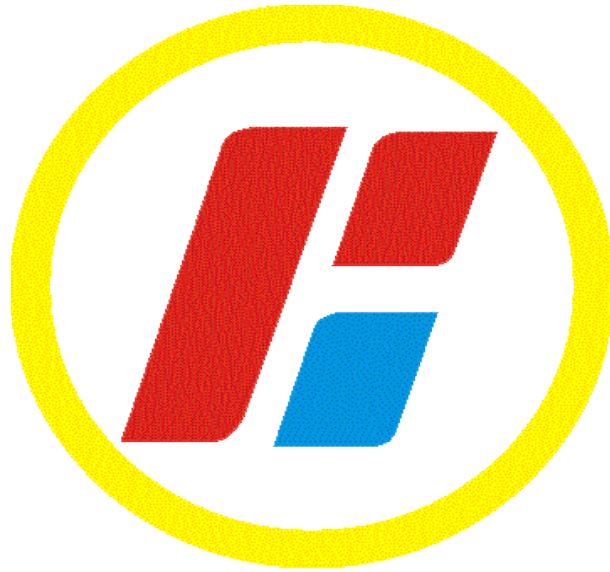


TUGAS MANDIRI

ARSITEKTUR DAN ORGANISASI KOMPUTER



NAMA : Sulis Setyo

NIM : 110210098

Kode Kelas : 122-TI015-M5

Dosen Pengampu : Nia Ekawati, S.Kom, M.SI.

UNIVERSITAS PUTERA BATAM

2013

KATA PENGANTAR

Syukur alhamdulillah, merupakan satu kata yang sangat pantas penulis ucapkan kepada Allah SWT, yang karena bimbingannya maka penulis bisa menyelesaikan tugas Analisa Jurnal Ilmiah yang berjudul "Desain dan Implementasi Convolutional Encoder (2, 1, 8) dalam Field Programmable Gate Array (FPGA)".

Tugas Analisa ini dibuat sebagai salah satu syarat kelulusan dalam mata kuliah Arsitektur dan Organisasi Komputer di Universitas Putera Batam. Tugas Analisa ini dibuat dengan pedoman petunjuk penulisan sebuah jurnal ilmiah dan juga pedoman analisa jurnal ilmiah sehingga menghasilkan hasil analisa yang bisa dipertanggungjawabkan.

Saya mengucapkan terimakasih kepada pihak terkait yang telah membantu saya dalam menghadapi berbagai tantangan dalam penyusunan tugas Analisa ini. Saya menyadari bahwa masih sangat banyak kekurangan yang mendasar pada tugas analisa ini. Oleh karena itu saya sangat menyambut baik pembaca untuk memberikan kritik dan saran yang bersifat membangun untuk kemajuan ilmu pengetahuan ini.

Terima kasih, dan semoga Tugas Analisa ini bisa memberikan sumbangsih positif bagi kita semua umumnya dan pada penulis khususnya.

Batam, 4 Juni 2013

Penulis

Analisis Jurnal Ilmiah : Desain dan Implementasi Convolutional Encoder (2, 1, 8) dalam Field Programmable Gate Array (FPGA)

Analisis Jurnal Ilmiah Oleh : Sulis Setyo
NPM : 110210098
Kelas : 122-TI015-M5

1. Judul

Desain dan Implementasi Convolutional Encoder (2, 1, 8) dalam Field Programmable Gate Array (FPGA).

2. Pengarang Ferry Wahyu Wibowo.

3. Tahun 2011

4. Tema Implementasi Convolutional Encoder

5. Abstrak

Convolutional encoder sudah lama digunakan dalam dunia sistem komunikasi digital, bahkan sistem komunikasi digital modern masih menggunakan encoder tersebut. Prinsip convolutional encoder merupakan proses yang digunakan untuk menambah redundansi pada aliran sinyal yang masuk. Perancangan convolutional encoder banyak yang menggunakan rancangan finite state machine dan sudah berupa intellectual property (IP) core. IP core tersebut sangat membantu perancang perangkat keras jaringan dalam menganalisa dan merancang aplikasi sistem jaringan dalam pengiriman dan penerimaan data. Paper ini memaparkan implementasi field programmable gate array (FPGA) untuk membuat convolutional encoder. Prinsip yang digunakan dalam paper ini adalah merancang convolutional encoder menggunakan komponen pada tingkat register transfer logic (RTL). Komponen yang digunakan dalam rancangan adalah register geser (shift register), penjumlah (adder) dan mutiplexser. Hasil sintesis yang diperoleh dalam FPGA Spartan-3E untuk mengimplementasikan convolutional encoder (2, 1, 8) mengkonsumsi komponen 3 slices, 6 slice flip-flop, 4 4-input LUT, 4 IO, 4 bonded IOB dan 1 GCLK, sedangkan waktu yang diperlukan untuk memproses data masukan pada convolutional encoder berbasis FPGA sebesar 6,07ns.

Kata Kunci. FPGA, convolutional encoder, komunikasi, digital, RTL.

Analisa : Bagian abstrak dari paper tersebut kurang memenuhi syarat jurnal ilmiah yang baik, karena tidak ditulis tepat sesuai seperti pedoman penulisan jurnal ilmiah yang ada. Abstrak dalam jurnal ilmiah ditulis dalam bahasa Indonesia dan bahasa Inggris dengan jenis huruf Times New Roman, ukuran 10 pt, italic, spasi tunggal. Abstrak bukanlah penggabungan beberapa paragraf, tetapi merupakan ringkasan yang utuh dan lengkap yang menggambarkan isi tulisan. Sebaiknya abstrak mencakup latar belakang, tujuan, metode, hasil, serta kesimpulan dari penelitian. Abstrak tidak berisi acuan atau tidak menampilkan persamaan matematika, dan singkatan yang tidak umum. Abstrak terdiri dari satu paragraf dengan jumlah kata paling banyak 250 kata dalam bahasa Indonesia dan 150 kata dalam bahasa Inggris. Dalam paper tersebut penulis tidak menuliskan abstrak dengan font italic, melainkan dengan font tegak biasa.

6. INTRODUKSI

Sistem komunikasi digital modern dirancang untuk mengirimkan data yang sangat besar secara sekuensial. Data yang dikirimkan berupa sinyal serial yang berurutan. Pengiriman sinyal data menggunakan prinsip nirkabel sangat rentan untuk berinterferensi dan hilang dalam proses perjalanannya menuju perangkat penerima (receiver). Sinyal data yang diolah oleh modulator akan diubah menjadi sinyal analog yang berupa sinyal frekuensi radio. Sinyal frekuensi radio tersebut akan diterima oleh perangkat penerima dan akan diteruskan ke demodulator, sehingga paket data yang dikirimkan tersebut akan diolah agar dapat dibaca dan diterjemahkan untuk difungsikan lebih lanjut. Salah satu teknik yang digunakan dalam aplikasi modulator dan demodulator untuk pengolahan sinyal data adalah teknik convolutional code. Teknik convolutional code telah digunakan sejak tahun 1955 di dalam sistem teknologi telekomunikasi di berbagai macam aplikasi seperti CDMA, voiceband modem dan komunikasi satelit [1]. Convolutional code sering digunakan sebagai error correction code. Error correction code (ECC) merupakan redundansi pada aliran bit informasi agar memungkinkan deteksi dan koreksi error simbol saat transmisi [2]. ECC dapat digunakan untuk komunikasi yang real-time dengan informasi yang berurutan pada suatu aliran sinyal data menggunakan penambahan derau, bit error ataupun distorsi sinyal yang ditransmisikan [3], sehingga sinyal data yang ditransmisikan tersebut dapat terjaga keintegritasan datanya ketika ditangkap oleh piranti penerima. Proses decoding resultan aliran data pada penerimaan node dapat mempunyai proses yang sangat kompleks, sedangkan implementasi sistemnya sangat sederhana. Convolutional encoding dari suatu data dikombinasikan dengan Viterbi decoding pada penerimaan node telah banyak digunakan oleh standar industri untuk saluran digital [4]. Convolutional encoding menunjukkan kinerja forward error correction (FEC) dan mempunyai peningkatan yang cukup signifikan dalam teknologi proses very

large scale integration (VLSI). Teknologi VLSI memungkinkan untuk merealisasikan encoder/decoder chip yang mempunyai kecepatan yang tinggi. Convolutional code beroperasi pada data serial dalam sekali waktu [5]. Convolutional code dengan rangkaian tunda tambahan dapat digunakan sebagai burst-error correction [6]. Namun, masalah yang dihadapi para peneliti adalah menguji hasil eksperimental atau simulasi suatu kelas code [7].

Penelitian dengan membandingkan penggunaan convolutional encoder dengan teknik yang lain telah dilakukan oleh beberapa penelitian. Asif, S. M. et. al. [8] mengamati bahwa convolutional code lebih baik dalam menangani bit error rate (BER) daripada sinyal yang tidak dikodekan pada saluran Rayleigh fading lambat.

Paper Ebian et. al. [9,10] menjelaskan bahwa convolutional product code (CPC) lebih baik dalam menangani signal-to-noise-ratio (SNR) yang berbeda dalam aplikasi Worldwide Interoperability for Microwave Access (Wi-MAX) daripada menggunakan turbo code. Mereka mengamati pengaruhnya pada modulasi yang berbeda, yaitu 16QAM – 64QAM dan jumlah OFDMA sub-carrier yang berbeda (128-512). Juleen dan Kiong [11] meneliti convolutional encoder (2, 1, 8) yang diaplikasikan dalam bahasa pemrograman C++ dan mereka mengajukan saran agar convolutional encoder diimplementasikan dalam perangkat keras (hardware), karena implementasinya mempunyai keamanan yang lebih kuat daripada diimplementasikan berbasis perangkat lunak (software). Patil, et. al. [12] telah meneliti dengan mengaplikasikan convolutional encoder menggunakan hardware description language (HDL), rancangan yang diajukan menggunakan prinsip finite state machine (FSM). Perancangan menggunakan HDL dapat mempunyai model sintesis konsumsi komponen FPGA yang sama untuk beberapa teknik perancangan [13].

Paper ini memaparkan convolutional encoding yang diimplementasikan dalam field programmable gate arrays (FPGAs) pada tingkat register transfer logic (RTL) sebagai platform system-on-chip (SoC). SoC merupakan tren masa depan yang dapat diandalkan karena implementasi suatu algoritma dapat ditanamkan pada sebuah chip dengan area dan kecepatan kinerja yang mempunyai trade-off [14]. Desain yang dibuat menggunakan komponen-komponen dasar sistem digital yang ditulis dalam kode very high speed integrated circuit hardware description language (VHDL).

Paper ini juga membandingkan antara convolutional encoder yang telah dirancang dengan convolutional encoder yang telah diaplikasikan dalam bentuk intellectual property (IP) core menggunakan FPGA jenis lain, tujuannya untuk mengetahui tingkat efektivitas dan efisiensi rancangan di dalam implementasi FPGA. Hasil yang diperoleh dalam paper ini adalah rancangan, konsumsi komponen yang digunakan untuk mengimplementasikan convolutional encoder (2, 1, 8) dan waktu perambatan pengolahan sinyal untuk memproses data masukan di dalam FPGA.

Analisa : Introduksi dalam paper ini identik dengan pendahuluan dalam pedoman penulisan sebuah jurnal ilmiah. Akan tetapi pendahuluan yang ada dalam paper ini kurang sesuai dengan pedoman penulisan jurnal ilmiah yang ada. Pendahuluan hendaklah mencakup hal – hal berikut ini: latar belakang, perumusan masalah, tujuan, teori, dan hipotesis (jika ada). Untuk penemuan – penemuan ilmiah yang telah dipublikasikan sebelumnya baik oleh diri – sendiri maupun orang lain dan berkaitan dengan penelitian yang dikerjakan, bisa dimasukkan di dalam subjudul pendahuluan ini. Bagian pendahuluan diakhiri dengan sistematika penulisan. Dalam paper ini, pendahuluan tidak diakhiri dengan sistematika penulisan, ini membuat penulisan paper ini kurang sesuai dengan pedoman penulisan jurnal ilmiah.

7. LANDASAN TEORI

- **Convolutional Code**

Convolutional code merupakan jenis dari error correcting codes (ECCs), sehingga kode ini sering digunakan untuk melindungi sistem dari error pada saat pengkodean serangkaian informasi di saluran penerima [15]. Serangkaian informasi dibagi menjadi blok kecil sejumlah masukan k dan diencode menjadi simbol sejumlah keluaran n . Convolutional encoder (n, k, m) diimplementasikan sebagai serangkaian sekuensial linear dengan sejumlah masukan k , keluaran n dan urutan memori m . Biasanya nilai n dan k merupakan bilangan integer yang bernilai kecil, nilai k lebih besar daripada nilai n ($k > n$), tetapi nilai m lebih besar daripada nilai k . Serangkaian informasi, jika tidak dibagi dalam blok dan nilai $k=1$, maka serangkaian informasi tersebut dapat diproses secara langsung.

Convolutional encoder (n, k, m) menandakan nilai R . Nilai R merupakan nilai masukan k dibagi dengan nilai keluaran n , dituliskan sebagai $R=k/n$, dan mempunyai tahap encoder dengan urutan memori m sama dengan nilai batasan kode K dikurangi 1, dituliskan sebagai $m=K-1$. Urutan atau panjang nilai memori encoder m sama dengan panjang tunda serangkaian data tersebut. Misalkan, convolutional encoder $(2, 1, 8)$ mengandung makna bahwa kode tersebut mempunyai nilai $R=1/2$ dan nilai memori $m=8$, sehingga nilai panjang batas $K=9$ [11]. Persamaan dari prinsip convolutional encoding yang mempunyai dua keluaran, O_1 dan O_2 , dengan generator polynomial 3438 dan 2468, mempunyai arti bahwa nilai yang diambil dari keluaran O_1 berada pada data keluaran register I_7, I_6, I_5, I_1 dan I_0 , sedangkan keluaran O_2 berada pada keluaran register I_7, I_5, I_2 dan I_1 . Persamaan O_1 dan O_2 ditunjukkan menurut persamaan (1) dan persamaan (2).

Penelitian Viraktamath et. al. [5] menunjukkan langkah-langkah untuk mengencode data menggunakan convolutional encoder. Langkah-langkah encode data tersebut dapat dijadikan

sebagai acuan untuk mengimplementasikan FPGA sebagai convolutional encoder dengan mengambil generator polynomial yang sesuai dengan jumlah register geser (shift register) yang diaplikasikan dalam encoder. Data masukan yang diperoleh kemudian ditransmisikan dengan mencari panjang generator polynomial dan panjang data. Data masukan kemudian digeser satu bit data ke shifter sesuai dengan masukan clock, sedangkan encode data menggunakan generator polynomial yang diberikan. Setelah semua data masukan telah diencode, maka proses encoding dihentikan.

- **Field Programmable Gate Array (FPGA))**

FPGA dapat diimplementasikan untuk proses komputasional yang menggunakan unsur aritmatika, yang terdiri dari perkalian dan penjumlahan dengan mengurangi aspek pemrograman perangkat lunak dan mempunyai faktor error yang kecil [16]. FPGA merupakan piranti yang terdiri dari jutaan gerbang dan dapat dikonfigurasi dengan memasukkan berbagai algoritma dan fungsi tertentu untuk mendapatkan suatu modul perangkat keras yang mengacu pada sistem digital. FPGA dapat dikonfigurasi menggunakan 3 cara, yaitu skematik, state-diagram, dan bahasa deskripsi. Perancangan menggunakan teknik skematik hanya memilih dan meletakkan komponen atau modul yang telah disediakan oleh perangkat lunak. Modul tersebut bisa dirangkai lebih besar dengan modul yang lain sehingga didapatkan modul yang komprehensif. Perancangan skematik menggunakan dasar gambar untuk membuat rancangannya. Perancangan state-diagram menggunakan dasar gambar juga, namun rancangan ini didasarkan pada alur yang mempunyai prinsip finite state machine (FSM). Perancang perangkat keras yang memahami aspek sekuensial suatu rancangan dapat mengaplikasikan teknik ini, karena hanya menggunakan gambar simbol proses dan panah saja. Namun untuk membuat suatu rancangan yang tidak didasarkan pada suatu proses, maka akan sangat sulit untuk mengaplikasikannya. Perancangan menggunakan bahasa deskripsi lebih fleksibel. Saat ini ada dua macam bahasa deskripsi yang sering digunakan, meskipun ada bahasa deskripsi yang lain, yaitu Verilog dan VHDL. Penelitian ini menggunakan bahasa deskripsi VHDL. VHDL kepanjangan dari Very High Speed Integrated Circuit High Description Language, yang digunakan untuk pemodelan sistem digital dan sebagai metodologi perancangan top-down [17]. Eksekusi kode VHDL disebut sebagai sintesis, yang menghasilkan netlist. Netlist tersebut berisi daftar komponen yang digunakan dalam perancangan, dan dari netlist tersebut dapat ditentukan konsumsi FPGA.

Kemampuan FPGA yang bersifat dapat dikonfigurasi ulang, membuat piranti ini sangat sesuai dalam platform perancangan perangkat keras untuk mengetahui tingkat efektivitas dan efisiensi suatu rancangan. Algoritma rancangan dan pemahaman dalam bahasa deskripsi perangkat keras sangat menentukan dalam proses pembuatan rancangan modul. Perancangan berbasis FPGA secara garis besar dibagi menjadi dua model. Model perancangan behavioral menggunakan prinsip algoritma abstraksi yang hanya mementingkan watak dari rancangan yang hendak dibuat, sehingga terkadang seorang perancang perangkat keras tidak perlu memahami dasar-dasar sistem digital. Model perancangan struktural menggunakan prinsip modular, sehingga seorang perancang perangkat keras menggunakan prinsip dasar-dasar sistem digital untuk membuat rancangannya. Namun jarang sekali ditemukan pemisahan antara model perancangan behavioral dan model struktural. Dalam perancangan perangkat keras, kedua model perancangan saling terkait satu sama lain.

FPGA yang digunakan dalam penelitian ini adalah Xilinx Spartan-3E, sedangkan perangkat lunak yang digunakan untuk memprogram FPGA adalah Xilinx ISE 9.2i. FPGA Xilinx Spartan-3E terdiri dari component logic blocks (CLBs) yang tersusun dari beberapa slice. Satu slice terdiri dari dua look-up-table (LUT) dan flip-flop (FF). Penghubungan antar slice satu dengan yang lain diatur oleh switch matrix.

Analisa : Landasan teori dalam Jurnal Ilmiah ini telah memenuhi aspek penulisan Jurnal Ilmiah yang baik dengan memuat teori-teori penting yang mendukung dan berhubungan langsung dengan topik penelitian, dengan memuat 2 point penting yang dijabarkan secara jelas dengan data-data yang valid, serta bagian ini dibagi menjadi beberapa sub bab tanpa penomoran. Landasan teori dalam jurnal ilmiah ini juga didukung dengan data table serta grafik yang sangat relevan.

8. METODE PENELITIAN

Eksperimental yang dilakukan dalam penelitian ini, mengimplementasikan FPGA Spartan 3E starter kit yang digunakan untuk membuat convolutional encoder (2, 1, 8). Langkah-langkah yang dilakukan untuk mengkonfigurasi FPGA terdiri dari:

- a. Spesifikasi, merupakan tahap perancangan untuk membuat komponen yang diperlukan dalam perancangan convolutional encoder (2, 1, 8) menggunakan VHDL pada perangkat lunak Xilinx ISE 9.2i. Hasil yang didapatkan berupa sintesis register transfer logic (RTL) yang diterjemahkan menjadi netlist dari LUT dan FF.
- b. Verifikasi, merupakan tahap simulasi sintesis dari kode VHDL pada rancangan convolutional encoder (2, 1, 8). Hasil yang didapatkan berupa diagram bentuk gelombang masukan dan keluaran pada FPGA Spartan-3E. Tahap ini juga digunakan untuk menentukan waktu tunda yang dihasilkan oleh komponen logika dan penjararannya dalam memproses sinyal data masukannya.
- c. Implementasi, merupakan tahap penterjemahan, pemetaan, dan penyambungan komponen yang dihasilkan oleh netlist untuk diprogramkan ke dalam FPGA Spartan-3E.
- d. Debug dan pengujian, merupakan tahap validasi rancangan yang diaplikasikan dalam FPGA dengan menggunakan fitur-fiturnya. Kesesuaian dan integritas antara tahap verifikasi dan implementasi dapat dipantau dari tahap pengujian ini.

Implementasi FPGA dalam perancangan perangkat keras convolutional encoder (2, 1, 8) menggunakan prinsip tingkat register transfer logic (RTL). Sistem yang dibangun pada tingkat RTL didasarkan dari sistem komponen digital, yang terdiri dari register geser (shift register), penjumlah (adder) dan multiplekser. Metode yang dibuat berdasarkan pada metode top-down. Metode top-down merupakan metode dengan mendeskripsikan

modul secara keseluruhan terlebih dahulu sebelum membagi modul ke dalam sub-sub modul, sehingga didapat sebuah rancangan yang lebih spesifik.

Analisa : Metode penelitian dalam jurnal ilmiah tersebut adalah dengan melakukan implementasi langsung dengan komponen yang relevan. Dan metode ini dibagi dalam empat tahap yang dijabarkan sangat jelas. Ini membuat metode penelitian dalam jurnal ilmiah ini sudah memenuhi syarat penulisan jurnal ilmiah sesuai pedoman penulisan jurnal ilmiah yang ada dengan baik.

9. HASIL DAN PEMBAHASAN

A. Hasil Perancangan

Desain shift register yang digunakan dalam paper ini menggunakan register DFF satu bit yang terangkai seri sebanyak 8 buah. Masing-masing register DFF dikendalikan oleh clock untuk mengendalikan penjalaran datanya. Generator Polynomial digunakan untuk menentukan hubungan keluaran dari masing-masing register DFF dengan keluaran encoder. Rangkaian penjumlah bit-bit dari keluaran register yang formatnya sesuai dengan generator polynomial untuk desain convolutional encoder adalah rangkaian XOR bukan rangkaian penjumlah (adder), karena carry tidak signifikan kedudukannya di dalam perancangan rangkaian convolutional encoder. Sintesis rancangan rangkaian XOR antara dari vendor Xilinx dan hasil perancangan menggunakan gerbang-gerbang dasar yang dibuat dari kode VHDL mempunyai struktur dan konsumsi komponen yang sama dalam FPGA. Rangkaian XOR hanya menggunakan kombinasi tiga gerbang dasar, yaitu gerbang NOT, AND dan OR, yang disusun sebagai $((\text{NOT}(A) \text{ AND } B) \text{ OR } (A \text{ AND } \text{NOT}(B)))$.

Konsumsi komponen FPGA berperan sangat penting dalam menyusun komponen-komponen dasar untuk membuat suatu rangkaian convolutional encoder yang efektif. Konsumsi komponen tersebut mempunyai dampak yang menentukan tingkat trade-off

antara area dan kecepatan dari desain yang dibuat. Hasil sintesis digunakan untuk melaporkan hasil analisa perancangan komponen pembentuk rangkaian dalam FPGA.

Konsumsi komponen dari FPGA Spartan-3E yang ditampilkan pada Tabel I menunjukkan bahwa configurable logic blocks (CLBs) yang digunakan untuk mendesain convolutional encoder (2, 1, 8) sangat kecil dari sumber yang tersedia. Perbandingan perancangan dalam konsumsi komponen convolutional encoder yang didapatkan dari FPGA Actel mempunyai asumsi konsumsi komponen yang lebih besar daripada perancangan dalam penelitian ini, yaitu dengan mengimplementasikan convolutional encoder dalam bentuk core yang mempunyai fitur panjang $K=7$, dan menggunakan generator polynomial $g_0=1718$, $g_1=1658$ ($R=1/2$ atau $1/3$), dan $g_2=1338$ ($R=1/3$), [18] (lihat Tabel II).

B. Hasil Implementasi

Gambar floorplan dari perancangan convolutional encoder (2, 1, 8) terdiri dari konsumsi komponen yang digunakan oleh FPGA Spartan 3E, sebagaimana ditunjukkan pada Gambar 2.

Area FPGA yang dipakai untuk merancang convolutional encoder (2, 1, 8) mengkonsumsi komponen yang sangat kecil sekali dibandingkan dengan luas area yang tersedia dalam FPGA, diperlihatkan pada gambar 2 dengan garis agak tebal yang berada di tengah gambar. Pada gambar 2 juga terlihat garis panjang yang menjalar, garis tersebut merupakan penyambungan dengan global clock GCLK. Pada dasarnya penempatan dan penyambungan antar komponen dapat diatur sesuai dengan penggunaan pin-pin yang difungsikan sebagai masukan dan keluaran pada FPGA.

Periode minimum yang dihasilkan dari implementasi convolutional encoder (2, 1, 8) pada FPGA Spartan-3E sebesar 4,014ns atau dengan kata lain mempunyai frekuensi maksimum sebesar 249,128MHz. Periode minimum merupakan perkiraan periode clock yang digunakan oleh komponen sesudah disintesis, tepatnya sesudah placement and routing, sehingga dapat digunakan untuk menentukan waktu tunda terburuk dalam

penggunaan clock antar komponen. Waktu yang dihasilkan oleh sintesis untuk rangkaian kombinasional pada desain rangkaian convolutional encoder (2, 1, 8) sebesar 6,07ns yang terdiri dari 4,888ns logic (80,5%) dan 1,182ns route (19,5%). Simulasi pewaktuan rangkaian convolutional encoder antara sinyal masukan dan keluarannya yang telah diimplementasikan dalam FPGA Spartan-3E digambarkan melalui diagram bentuk gelombang yang ditunjukkan pada Gambar 3.

Proses pengolahan data pada convolutional code (2, 1, 8) yang diimplementasikan dalam FPGA mempunyai tingkat akurasi yang tinggi dan lebih cepat dalam pemrosesan datanya dibandingkan dengan mengimplementasikan convolutional code berbasis perangkat lunak, sebagaimana yang telah ditunjukkan oleh [11]. Implementasi convolutional encoder dalam perangkat keras akan sangat baik jika digunakan dalam dunia telekomunikasi, terutama dalam aplikasi yang lebih kompleks untuk mendapatkan efisiensi dan efektivitas dalam pensinyalan datanya. Walaupun demikian, implementasi suatu piranti harus mempertimbangkan tingkat fungsi, kegunaan dan kebutuhan dari perancangan perangkat keras. FPGA untuk saat ini memang sangat mahal, namun sangat efektif untuk mendesain suatu perangkat keras atau hanya digunakan sebagai softcore untuk membentuk core yang lebih luas lagi.

Analisa : Hasil implementasi dan Pembahasan dalam jurnal ilmiah ini sudah sangat jelas menerangkan inti dari Desain dan Implementasi Convolutional Encoder (2, 1, 8) dalam Field Programmable Gate Array (FPGA). Proses desain dan implementasi dijelaskan secara rinci, seta berbagai data pendukung yang sangat relevan. Namun begitu, masih banyak pengulangan pada bagian-bagian tertentu yang membuat proses dan implementasi convolutional encoder ini menjadi agak membingungkan, sehingga perlu beberapa kali bagi pembaca untuk dapat memahami maksud dari bagian ini sepenuhnya.

10. KESIMPULAN

Paper ini menunjukkan desain rancangan convolutional encoder yang dibuat menggunakan teknologi very large scale integration (VLSI) berbasis FPGA yang diprogram menggunakan kode VHDL. Desain convolutional encoder sangat sederhana, karena hanya menggunakan beberapa shift register dan beberapa rangkaian XOR, namun dapat digunakan sebagai deteksi dan koreksi error yang efektif. Hasil sintesis dari FPGA Spartan-3E menunjukkan bahwa konsumsi slice yang digunakan dalam perancangan convolutional encoder (2, 1, 8) hanya sebesar 3 slices dari 4656 slices yang tersedia atau sekitar 0% saja, sehingga masih memungkinkan untuk dikembangkan dan dikombinasikan dengan desain lain untuk membentuk desain yang lebih kompleks. Hasil perancangan menggunakan FPGA Xilinx lebih efisien daripada menggunakan FPGA Actel. Namun, hasilnya akan lebih efektif dan efisien lagi jika menggunakan FPGA yang telah terintegrasi dengan digital signal processing (DSP).

Analisa : Kesimpulan dalam suatu jurnal ilmiah dapat berupa 2 hal, kesimpulan bisa berupa kesimpulan khusus dan kesimpulan umum. Kesimpulan khusus merupakan hasil analisa data atau hasil uji hipotesa tentang fenomena yang diteliti. Kesimpulan umum sebagai hasil generalisasi atau keterkaitan dengan fenomena serupa di wilayah lain dari publikasi terdahulu. Hal yang perlu diperhatikan adalah segitiga konsistensi (masalah-tujuan-kesimpulan harus konsisten). Dalam jurnal ilmiah berjudul Desain dan Implementasi Convolutional Encoder (2, 1, 8) dalam Field Programmable Gate Array (FPGA) ini, kesimpulan merupakan hasil analisa data dan hipotesa tentang convolutional encoder seperti yang dijelaskan di bagian sebelumnya, atau bisa dikatakan bahwa kesimpulan dalam jurnal ilmiah ini merupakan kesimpulan khusus.

11. DAFTAR PUSTAKA

Penulisan daftar pustaka sesuai dengan urutan pengutipannya dalam naskah. Jumlah sumber acuan dalam satu tulisan paling sedikit sepuluh sumber acuan, dengan 80%

merupakan sumber acuan primer dan 80% merupakan terbitan 5 tahun terakhir. Sumber acuan primer adalah sumber acuan yang langsung merujuk pada bidang ilmiah tertentu, sesuai topik penelitian dan sudah teruji. Sumber acuan primer dapat berupa: tulisan dalam makalah ilmiah dalam jurnal internasional maupun nasional terakreditasi, hasil penelitian di dalam disertasi, tesis, maupun skripsi. Dalam penulisan daftar pustaka jurnal ilmiah ini, penulis menggunakan tidak kurang dari 18 sumber acuan yang terdiri dari sumber acuan primer yang berhubungan langsung dengan bidang convolutional encoder. Hal ini telah memenuhi syarat penulisan jurnal ilmiah yang baik.